**Лабораторна робота №5**

з курсу “Архітектура обчислювальних систем та комп’ютерна схемотехніка”

Тема:” Побудова і дослідження регістрових схем ”

Виконав Студент групи ПМІ-11

Яцуляк Андрій

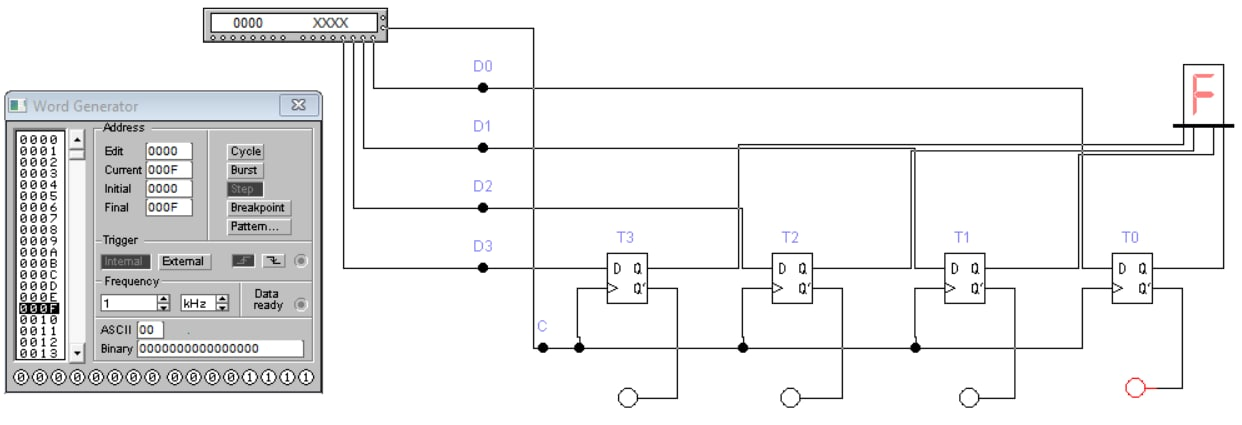
**Тема:** Побудова і дослідження регістрових схем

**Мета роботи:** З використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Хід роботи**

1. За допомогою D-тригерних схем синтезував у робочому полі логічні схеми чотирирозрядних регістрів паралельної та послідовної дії.

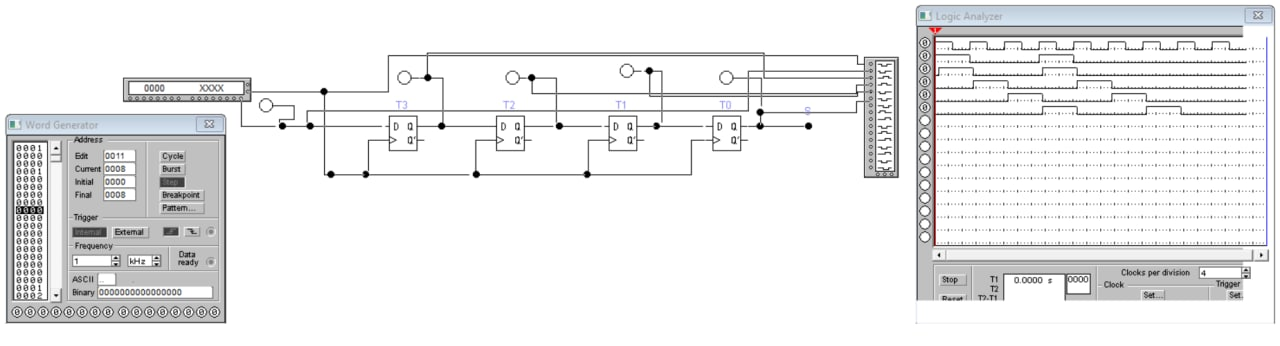
2. Входи синтезованих схем приєднати до вихідних клем молодших розрядів генератора слів, а виходи – до аналізатора логічних рівнів або індикатора.



1. Чотирирозрядний регістрів паралельної дії

**Таблиця істинності**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D3** | **D2** | **D1** | **D0** | **Q3** | **Q2** | **Q1** | **Q0** | **Q`3** | **Q`2** | **Q`1** | **Q`0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |



2. Чотирирозрядний регістрів послідовної дії

**Таблиця істинності**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | Q3 | Q2 | Q1 | Q0 | Q`3 | Q`2 | Q`1 | Q`0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |

3. Деталізував зображення генератора слів і на відповідних місцях комбінаційної матриці генератора слів записав всі можливі комбінації вхідних сигналів.

4. Синхронізувальний імпульс подавав від клеми Data Ready генератора слів. Під час дослідження регістра паралельної дії на входи D0-D3 подав відповідні виходи генератора слів. Під час дослідження регістра послідовної дії (зсувального) на вхід подавати серію з логічних 1 та 0.

5. За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати роботи схеми спостерігав за допомогою аналізатора логічних рівнів або індикатора і записав їх у таблицю істинності.

6. Створив макроелементи – Р-регістр для регістра паралельної дії та S-регістр для регістра послідовної дії. Записав у пам’ять файли зі створеними макроелементами.

**Висновок:** З використанням можливостей пакета EWB побудував логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірив роботу схем та створив макроелементи кожної схеми.